

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-193488

(43)Date of publication of application : 28.07.1995

(51)Int.Cl.

H03K 19/0185
H03K 19/017

(21)Application number : 05-332593

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.12.1993

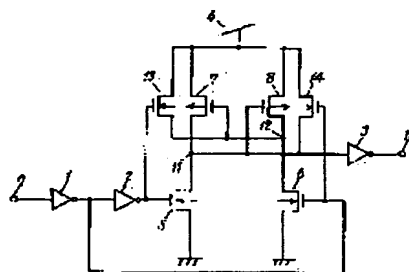
(72)Inventor : YAMAMOTO HIROO
OTANI KAZUHIRO

(54) LEVEL SHIFTER CIRCUIT

(57)Abstract:

PURPOSE: To improve performance at high speed by shortening the transient time of an operation by speedily turning off a Pochannel MOSFET (PchMOSFET), which holds a former state, by providing an N-channel MOSFET (NchMOSFE).

CONSTITUTION: When changing the signal voltage of an input terminal 9 from L to H, the output of a low power supply voltage operated inverter 1 is changed from H to L. Next, NchMOSFET 5 and 13 are turned on by the output change of a low power supply voltage operated inverter 2, and the ON resistance of a PchMOSFET 7 is enlarged. Thus, the potential of a node 11 is pulled down by the FET 5. At the same time, the ON resistance of a PchMOSFET 8 is decreased, and the potential of a node 12 is increased. When the potential of the terminal 9 is completely turned to H, the FET 5 and 13 are turned on, NchMOSFET 6 and 14 are turned off, the FET 7 is turned off, the FET 8 is turned on, and the potential of a high power supply voltage operated circuit output terminal 10 is equalized with a high power supply voltage and stabilized.



LEGAL STATUS

[Date of request for examination] 06.01.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3070373

[Date of registration] 26.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平7-193488

(43)公開日 平成7年(1995)7月28日

技術表示箇所

101 B

審査請求 未請求 請求項の数1 OL (全 4 頁)

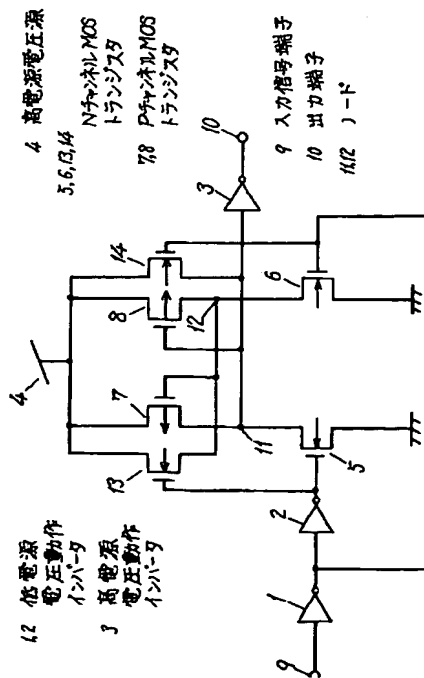
(74) 代理人 弁理士 小鍬治 明 (外2名)

(54)【発明の名称】 レベルシフト回路

(57) 【要約】

【目的】 信号処理を高速化する。

【構成】 インバータ1, 2と、高電源電圧源4に接続したPチャンネルMOSトランジスタ7, 8と、接地したNチャンネルMOSトランジスタ5, 6と、インバータ3とを備えたレベルシフト回路において、NチャンネルMOSトランジスタ13, 14を設け、このNチャンネルMOSトランジスタ13, 14のドレインに高電源電圧源4を接続し、また、NチャンネルMOSトランジスタ13のゲートにインバータ2の出力、NチャンネルMOSトランジスタ14のゲートにインバータ1の出力をそれぞれ接続し、また、NチャンネルMOSトランジスタ13のソースにPチャンネルMOSトランジスタ7のゲートを接続し、NチャンネルMOSトランジスタ14のソースにPチャンネルMOSトランジスタ8のゲートとインバータ3の入力とを接続した。



【特許請求の範囲】

【請求項 1】 高電源電圧をソースに接続した二つの P チャンネル MOS トランジスタを含み、低電源電圧動作回路の出力信号を第一の N チャンネル MOS トランジスタのゲートに接続し、前記第一の N チャンネル MOS トランジスタのドレインを第一の P チャンネル MOS トランジスタのゲートと第二の P チャンネル MOS トランジスタのドレインに接続し、また低電源電圧動作回路の出力信号の逆位相の信号を第二の N チャンネル MOS トランジスタのゲートに接続し、前記第二の N チャンネル MOS トランジスタのドレインを第一の P チャンネル MOS トランジスタのゲートと第二の P チャンネル MOS トランジスタのドレインに接続した構成に加え、第三、第四の N チャンネル MOS トランジスタのドレインを高電源電圧源に接続し、前記第三の N チャンネル MOS トランジスタのゲートを第一の N チャンネル MOS トランジスタのゲートと接続し、第三の N チャンネル MOS トランジスタのソースを第一の P チャンネル MOS トランジスタのドレインと第二の P チャンネル MOS トランジスタのゲートに接続し、第四の N チャンネル MOS トランジスタのゲートを第二の N チャンネル MOS トランジスタのゲートに接続し、第四の N チャンネル MOS トランジスタのソースを第一の P チャンネル MOS トランジスタのゲートと第二の P チャンネル MOS トランジスタのドレインと高電源電圧動作インバータの入力に接続し、高電源電圧動作インバータの出力を高電源電圧動作回路への出力としたレベルシフト回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電源電圧の異なる回路を接続する際に必須となるレベルシフト回路に関するものである。

【0002】

【従来の技術】従来のレベルシフト回路について説明する。

【0003】図 2 は従来のレベルシフト回路であり、1, 2 は低電源電圧動作インバータ、3 は高電源電圧動作インバータ、4 は高電源電圧源、5, 6 は N チャンネル (以下 Nch という) MOS トランジスタ、7, 8 は P チャンネル (以下 Pch という) MOS トランジスタ、9 は低電源電圧動作回路からの入力信号端子、10 は高電源電圧動作回路への出力端子、11 は Nch MOS トランジスタ 5 のドレインと Pch MOS トランジスタ 7 のドレインが接続されたノード、12 は Nch MOS トランジスタ 6 のドレインと Pch MOS トランジスタ 8 のドレインが接続されたノードである。

【0004】以上のように構成されたレベルシフト回路について、以下その動作について説明する。

【0005】低電源電圧動作回路からの入力信号端子 9 より低レベルから高レベルに変化する信号が入力したと

き、低電源電圧動作インバータ 1 の出力信号は高レベルから低レベルへと変化する。そのとき、Nch MOS トランジスタ 6 は、徐々にオン抵抗が上昇し、Nch MOS トランジスタ 6 のソース・ドレイン間の電圧が上昇する。ほぼ同時に、低電源電圧動作インバータ 2 からの出力信号は低レベルから高レベルに変化し、Nch MOS トランジスタ 5 が導通して徐々にオン抵抗が低くなり、Nch MOS トランジスタ 5 のソース・ドレイン間電圧が低下する。

【0006】以上のような Nch MOS トランジスタ 5, 6 の動作により、Pch MOS トランジスタ 8 のゲート電圧が低下し、Pch MOS トランジスタ 8 のドレイン電圧が上昇する。これにより Pch MOS トランジスタ 7 のゲート電圧が上昇し、最終的に低電源電圧動作回路からの入力信号端子 9 の信号が高レベルになると、Nch MOS トランジスタ 5 が完全に導通し、ノード 11 の電圧は 0 V となる。Nch MOS トランジスタ 6 が完全に非導通状態となって、ノード 12 の電圧が高電源電圧源 4 と等しくなる。そのとき、Pch MOS トランジスタ 7 が非導通となり、Pch MOS トランジスタ 8 が導通して、高電源電圧動作インバータ 3 により、高電源電圧動作回路への出力端子の電位が高電源電圧と等しくなる。

【0007】一方、低電源電圧動作回路からの入力信号端子 9 より、高レベルから低レベルに変化する信号が入力したとき、低電源電圧動作インバータ 1 の出力信号は低レベルから高レベルへと変化する。そのとき、Nch MOS トランジスタ 6 は導通し、徐々にオン抵抗が低下することで、Nch MOS トランジスタ 6 のソース・ドレイン間の電圧が低下する。ほぼ同時に低電源電圧動作インバータ 2 からの出力信号が高レベルから低レベルに変化し、Nch MOS トランジスタ 5 は徐々にオン抵抗が上昇して、Nch MOS トランジスタ 5 のソース・ドレイン間電圧が上昇する。

【0008】以上のような Nch MOS トランジスタ 5, 6 の動作により、Pch MOS トランジスタ 7 のゲート電圧が低下して、Pch MOS トランジスタ 7 のドレイン電圧が上昇する。これにより Pch MOS トランジスタ 8 のゲート電圧が上昇する。最終的に低電源電圧動作回路からの入力信号端子 9 の信号が低レベルになると、Nch MOS トランジスタ 5 が完全に非導通となって、ノード 11 の電圧が高電源電圧源 4 と等しくなる。また、Nch MOS トランジスタ 6 が完全に導通し、ノード 12 の電圧が 0 V になる。そのとき、Pch MOS トランジスタ 7 は導通し、Pch MOS トランジスタ 8 は非導通であり、高電源電圧動作インバータ 3 により高電源電圧動作回路への出力端子の電位は 0 V となる。

【0009】

【発明が解決しようとする課題】従来のレベルシフト回路により、低電源電圧動作回路からの出力信号を高電源

電圧動作回路に入力することが可能となっていた。

【0010】しかしながら、上述の従来の構成では、たとえば入力信号端子 9 への入力信号が高レベルから低レベルへと変化したときに、NchMOS トランジスタ 6 がオンすることで PchMOS トランジスタ 7 が導通し、ノード 11 が低レベルから高レベルに変化するというように動作に 2 ステップ必要である。一方、入力信号端子 9 の入力信号が低レベルから高レベルへと変化する場合も同様にノード 12 が低レベルから高レベルへと変化するのに 2 ステップ必要であり、高速動作が難しかった。

【0011】本発明では、前記従来の問題点を解決するもので NchMOS トランジスタ 6、7 によりノード 11 またはノード 12 の電位を 1 ステップで変化させることが可能となることで低電源電圧動作回路から高電源電圧動作回路への信号レベルの変換を高速化したレベルシフト回路を提供することを目的とする。

【0012】

【課題を解決するための手段】この目的を達成するために本発明のレベルシフト回路は、ドレインに高電源電圧源を接続し、ゲートを低電源電圧動作インバータの出力に接続し、ソースを二つの PchMOS トランジスタのうち第一の PchMOS トランジスタのドレインと第二の PchMOS トランジスタのゲートと第二の NchMOS トランジスタのドレインに接続した NchMOS トランジスタと、ソースを第一の PchMOS トランジスタのゲートと第二の PchMOS トランジスタのドレインと第一の NchMOS トランジスタのドレインに接続した NchMOS トランジスタを前記の従来のレベルシフト回路に加えた回路構成となる。

【0013】

【作用】ドレインを高電源電圧源に接続した NchMOS トランジスタにより、PchMOS トランジスタが他方の PchMOS トランジスタがオンするのを待たずに直接オフし始めることが出来るため PchMOS トランジスタのドレイン電圧の引き下げが高速化され、これにより低電源電圧動作回路から高電源電圧動作回路への信号レベルの変換が高速となる。

【0014】

【実施例】以下本発明の実施例について、図面を参照しながら説明する。

【0015】図 1 は本発明の実施例におけるレベルシフト回路の構成図である。1、2 は低電源電圧動作インバータ、3 は高電源電圧動作インバータ、4 は高電源電圧源、5、6、13、14 は NchMOS トランジスタ、7、8 は PchMOS トランジスタ、9 は低電源電圧動作回路からの入力信号端子、10 は高電源電圧動作回路への出力端子、11 は、NchMOS トランジスタ 5 のドレインと PchMOS トランジスタ 7 が接続するノード、12 は NchMOS トランジスタ 6 のドレインと P

chMOS トランジスタ 8 のドレインが接続するノードである。

【0016】以上のように構成されたレベルシフト回路について以下その動作について説明する。

【0017】低電源電圧動作回路からの入力信号端子 9 より低レベルから高レベルに変化する信号が入力したとき、低電源電圧動作インバータ 1 の出力信号は、高レベルから低レベルへと変化する。そのとき、NchMOS トランジスタ 6、14 のオン抵抗が徐々に上昇し、NchMOS トランジスタ 6、14 のソース・ドレイン間電圧が上昇する。ほぼ同時に、低電源電圧動作インバータ 2 からの出力信号は低レベルから高レベルに変化し、NchMOS トランジスタ 5、13 が導通して徐々にそのオン抵抗が低くなり、NchMOS トランジスタ 5、13 のソース・ドレイン間電圧が低下する。NchMOS トランジスタ 13 がオンすることで、PchMOS トランジスタ 7 のゲート電位が中間電位まで上昇し、オン抵抗が大きくなる。これにより、NchMOS トランジスタ 5 によるノード 11 の電位の引き下げが生じる。同時に、ノード 11 の電位の低下により PchMOS トランジスタ 8 のオン抵抗が減少し、ノード 12 は電位が上昇する。完全に低電源電圧動作回路からの入力信号端子が高レベルとなると、NchMOS トランジスタ 5、13 はオン、NchMOS トランジスタ 6、14 はオフ、PchMOS トランジスタ 7 はオフ、PchMOS トランジスタ 8 はオンとなって、高電源電圧動作回路出力端子 10 の電位が高電源電圧と等しくなって安定する。

【0018】一方、低電源電圧動作回路からの入力信号端子 9 より高レベルから低レベルに変化する信号が入力したとき、低電源電圧動作インバータ 1 の出力信号は低レベルから高レベルへと変化する。そのとき、NchMOS トランジスタ 6、14 のオン抵抗が徐々に低くなり、NchMOS トランジスタ 6、14 のソース・ドレイン間電圧が低下する。ほぼ同時に、低電源電圧動作インバータ 2 からの出力信号が高レベルから低レベルに変化し、NchMOS トランジスタ 5、13 は導通してそのオン抵抗が徐々に低くなり、NchMOS トランジスタ 5、13 のソース・ドレイン間電圧が上昇する。NchMOS トランジスタ 14 がオンすることで、PchMOS トランジスタ 8 のゲート電位が中間電位まで上昇し、そのオン抵抗が大きくなる。これにより、NchMOS トランジスタ 6 によるノード 12 の電位の引き下げが生じる。同時に、ノード 12 の電位の低下により PchMOS トランジスタ 7 のオン抵抗が減少し、ノード 11 の電位が上昇する。完全に低電源電圧動作回路からの入力信号端子が低レベルとなると、NchMOS トランジスタ 5、13 はオフ、NchMOS トランジスタ 6、14 はオン、PchMOS トランジスタ 7 はオン、PchMOS トランジスタ 8 はオフとなって、高電源電圧動作回路出力端子 10 の電位が 0V で安定する。

5

6

【0019】

【発明の効果】本発明は、NchMOSトランジスタを設けることにより、前の状態を保持（オン）しているPchMOSトランジスタを早くオフさせる効果があるため、動作の遷移時間（貫通電流が流れる時間）が短くなり、異電源動作回路をMOS型集積回路で1チップ化する際に必須となるレベルシフト回路を高速化、低消費電力化することができ、高速、高性能な電子回路・システムを提供できる。

【図面の簡単な説明】

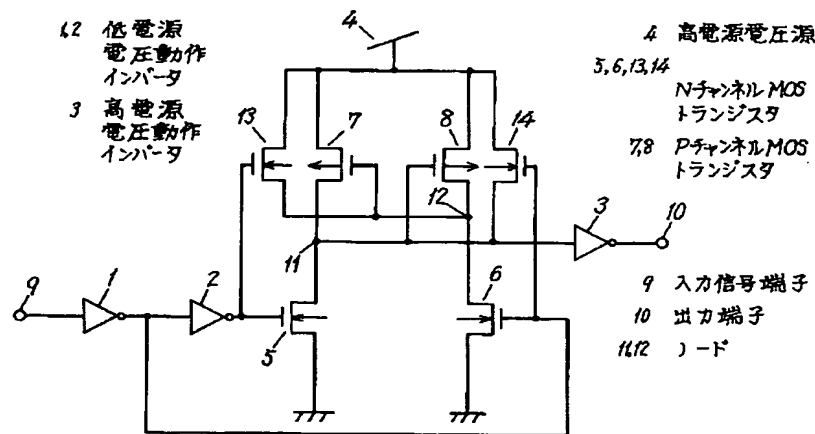
【図1】本発明の一実施例におけるレベルシフト回路の構成を示す図

【図2】従来のレベルシフト回路の構成を示す図

【符号の説明】

- 1, 2 低電源電圧動作インバータ
- 3 高電源電圧動作インバータ
- 4 高電源電圧源
- 5, 6 NチャンネルMOSトランジスタ
- 7, 8 PチャンネルMOSトランジスタ
- 9 入力信号端子（低電源電圧動作回路の入力信号端子）
- 10 高電源電圧動作回路への出力端子
- 11, 12 ノード
- 13, 14 NチャンネルMOSトランジスタ

【図1】



【図2】

